

7.27.4

0381008

10/793,403

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 9月 1日
Date of Application:

出願番号 特願2003-308947
Application Number:
[ST. 10/C]: [JP2003-308947]

出願人 株式会社東芝
Applicant(s):

CERTIFIED COPY OF
PRIORITY DOCUMENT

BEST AVAILABLE COPY

2004年 3月23日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫

【書類名】 特許願
【整理番号】 A000303891
【提出日】 平成15年 9月 1日
【あて先】 特許庁長官 殿
【国際特許分類】 G01R 31/26
【発明者】
 【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエ
 レクトロニクスセンター内
 【氏名】 吉岡 晋一
【特許出願人】
 【識別番号】 000003078
 【氏名又は名称】 株式会社 東芝
【代理人】
 【識別番号】 100058479
 【弁理士】
 【氏名又は名称】 鈴江 武彦
 【電話番号】 03-3502-3181
【選任した代理人】
 【識別番号】 100091351
 【弁理士】
 【氏名又は名称】 河野 哲
【選任した代理人】
 【識別番号】 100088683
 【弁理士】
 【氏名又は名称】 中村 誠
【選任した代理人】
 【識別番号】 100108855
 【弁理士】
 【氏名又は名称】 蔵田 昌俊
【選任した代理人】
 【識別番号】 100084618
 【弁理士】
 【氏名又は名称】 村松 貞男
【選任した代理人】
 【識別番号】 100092196
 【弁理士】
 【氏名又は名称】 橋本 良郎
【手数料の表示】
 【予納台帳番号】 011567
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

シリアルデータを受信し、受信したシリアルデータからクロックを再生するとともに、生成するクロックの位相を変化させることが可能な第1クロック・データ再生回路を含む第1受信部と、

パラレルデータを、送信クロック、及び前記第1クロック・データ再生回路が生成したクロックのいずれかに同期したシリアルデータに変換する第1シリアライザーを含む第1送信部と、

シリアルデータを受信し、受信したシリアルデータからクロックを再生するとともに、生成するクロックの位相を変化させることが可能な第2クロック・データ再生回路を含む第2受信部と、

パラレルデータを、送信クロック、及び前記第2クロック・データ再生回路が生成したクロックのいずれかに同期したシリアルデータに変換する第2シリアライザーを含む第2送信部と

を具備することを特徴とする半導体集積回路装置。

【請求項 2】

シリアルデータを受信し、受信したシリアルデータからクロックを再生するとともに、受信したシリアルデータと基準クロックとの間の周波数オフセット、あるいはクロックの位相を制御する第1位相制御情報のいずれかに基いて、生成するクロックの位相を変化させることが可能な第1クロック・データ再生回路、及び生成したクロックに同期したシリアルデータをパラレルデータに変換する第1デシリアライザーを含む第1受信部と、

パラレルデータを、送信クロック、及び前記第1クロック・データ再生回路が生成したクロックのいずれかに同期したシリアルデータに変換する第1シリアライザーを含む第1送信部と、

シリアルデータを受信し、受信したシリアルデータからクロックを再生するとともに、受信したシリアルデータと基準クロックとの間の周波数オフセット、あるいはクロックの位相を制御する第2位相制御情報のいずれかに基いて、生成するクロックの位相を変化させることが可能な第2クロック・データ再生回路、及び生成したクロックに同期したシリアルデータをパラレルデータに変換する第2デシリアライザーを含む第2受信部と、

パラレルデータを、送信クロック、及び前記第2クロック・データ再生回路が生成したクロックのいずれかに同期したシリアルデータに変換する第2シリアライザーを含む第1送信部と

を具備することを特徴とする半導体集積回路装置。

【請求項 3】

前記第2受信部をテストするとき、

前記第1クロック・データ再生回路は、前記第1位相制御情報に基いて、生成するクロックの位相を変化させ、位相を変化させたクロックを前記第1送信部に出力し、

前記第1送信部は、前記第1クロック・データ再生回路から出力され、位相を変化させたクロックに同期したシリアルデータを前記第2クロック・データ再生回路に送信し、

前記第2クロック・データ再生回路は、前記第1送信部から送信されたシリアルデータを受信し、受信したシリアルデータからクロックを再生し、

前記第1受信部をテストするとき、

前記第2クロック・データ再生回路は、前記第2位相制御情報に基いて、生成するクロックの位相を変化させ、位相を変化させたクロックを前記第2送信部に出力し、

前記第2送信部は、前記第2クロック・データ再生回路から出力され、位相を変化させたクロックに同期したシリアルデータを前記第1クロック・データ再生回路に送信し、

前記第1クロック・データ再生回路は、前記第2送信部から送信されたシリアルデータを受信し、受信したシリアルデータからクロックを再生することを特徴とする請求項2に記載の半導体集積回路装置。

【請求項 4】

テスト制御パターン発生部と、
テスト解析部とを、さらに具備し、
前記テスト制御パターン発生部は、前記第1位相制御情報、及び前記第2位相制御情報を発生し、

前記テスト解析部は、前記第2クロック・データ再生回路の状態を、前記第1位相制御情報と前記第2クロック・データ再生回路が再生したクロックの位相情報とに基いて解析するとともに、前記第1クロック・データ再生回路の状態を、前記第2位相制御情報と前記第1クロック・データ再生回路が再生したクロックの位相情報とに基いて解析することを特徴とする請求項2及び請求項3いずれかに記載の半導体集積回路装置。

【請求項5】

前記テスト制御パターン発生部は、前記第1位相制御情報を発生する第1テスト制御パターン発生回路と、前記第2位相制御情報を発生する第2テスト制御パターン発生回路とを含み、

前記テスト解析部は、前記第1クロック・データ再生回路の状態を解析する第1テスト解析回路と、前記第2クロック・データ再生回路の状態を解析する第2テスト解析回路とを含むことを特徴とする請求項4に記載の半導体集積回路装置。

【請求項6】

前記第1送信部、及び前記第2送信部は、前記第1受信部と、前記第2受信部との間に配置され、

前記第1送信部は前記第1受信部に隣接し、前記第2送信部は前記第2受信部に隣接することを特徴とする請求項1及び請求項2いずれかに記載の半導体集積回路装置。

【請求項7】

前記第1受信部、及び前記第2受信部は、前記第1送信部と、前記第2送信部との間に配置され、

前記第1受信部は前記第1送信部に隣接し、前記第2受信部は前記第2送信部に隣接することを特徴とする請求項1及び請求項2いずれかに記載の半導体集積回路装置。

【請求項8】

前記第1送信部から前記第2受信部へシリアルデータをループバックする第1ループバックパスと、

前記第2送信部から前記第1受信部へシリアルデータをループバックする第2ループバックパスとを具備し、

前記第1、第2ループバックパスは、半導体集積回路装置チップ内に設けられていることを特徴とする請求項6及び請求項7いずれかに記載の半導体集積回路装置。

【請求項9】

前記第1送信部、及び前記第2送信部は、前記第1受信部と、前記第2受信部との間に配置され、

前記第1送信部は前記第2受信部に隣接し、前記第2送信部は前記第1受信部に隣接することを特徴とする請求項1及び請求項2いずれかに記載の半導体集積回路装置。

【請求項10】

前記第1受信部、及び前記第2受信部は、前記第1送信部と、前記第2送信部との間に配置され、

前記第1受信部は前記第2送信部に隣接し、前記第2受信部は前記第1送信部に隣接することを特徴とする請求項1及び請求項2いずれかに記載の半導体集積回路装置。

【請求項11】

前記第1送信部から前記第1受信部へシリアルデータをループバックする第3ループバックパスと、

前記第2送信部から前記第2受信部へシリアルデータをループバックする第4ループバックパスとを具備し、

前記第3、第4ループバックパスは、半導体集積回路装置チップ内に設けられていることを特徴とする請求項8乃至請求項10いずれか一項に記載の半導体集積回路装置。

【請求項 12】

シリアルデータを受信し、受信したシリアルデータからクロックを再生するとともに、生成するクロックの位相を変化させることが可能な第1クロック・データ再生回路を含む第1受信部と、

パラレルデータを、送信クロック、及び前記第1クロック・データ再生回路が生成したクロックのいずれかに同期したシリアルデータに変換する第1シリアライザーを含む第1送信部と、

シリアルデータを受信し、受信したシリアルデータからクロックを再生するとともに、生成するクロックの位相を変化させることが可能な第2クロック・データ再生回路を含む第2受信部と、

パラレルデータを、送信クロック、及び前記第2クロック・データ再生回路が生成したクロックのいずれかに同期したシリアルデータに変換する第2シリアライザーを含む第2送信部とを具備する半導体集積回路装置のテスト方法であって、

前記第1受信部をテストするとき、

前記第2クロック・データ再生回路において、シリアルデータに関わらずに、生成するクロックの位相を変化させ、位相を変化させたクロックを前記第2送信部に出力し、

前記位相を変化させたクロックに同期したシリアルデータを、前記第2送信部から前記第1クロック・データ再生回路に送信し、

前記第1クロック・データ再生回路において、前記第2送信部から送信されたシリアルデータを受信し、受信したシリアルデータからクロックを再生し、

前記第2クロック・データ再生回路が変化したクロックの位相制御情報と、前記第1クロック・データ再生回路がクロックを再生する際の位相制御情報とに基いて、前記第1クロック・データ再生回路の状態を解析し、

前記第2受信部をテストするとき、

前記第1クロック・データ再生回路において、シリアルデータに関わらずに、生成するクロックの位相を変化させ、位相を変化させたクロックを前記第1送信部に出力し、

前記位相を変化させたクロックに同期したシリアルデータを、前記第1送信部から前記第2クロック・データ再生回路に送信し、

前記第2クロック・データ再生回路において、前記第1送信部から送信されたシリアルデータを受信し、受信したシリアルデータからクロックを再生し、

前記第1クロック・データ再生回路が変化したクロックの位相制御情報と、前記第2クロック・データ再生回路がクロックを再生する際の位相制御情報とに基いて、前記第2クロック・データ再生回路の状態を解析することを特徴とする半導体集積回路装置のテスト方法。

【書類名】明細書

【発明の名称】半導体集積回路装置及びそのテスト方法

【技術分野】

【0001】

本発明は、半導体集積回路装置及びそのテスト方法に係わり、特に高速シリアルデータインターフェースを有する半導体集積回路装置及びそのテスト方法に関する。

【背景技術】

【0002】

高速シリアルデータインターフェースは、シリアルデータ送信部 TX と、シリアルデータ受信部 RX とを有する。

【0003】

高速シリアルデータインターフェースをテストする際、送信部 TX のテストは、低速でデータを出力し、出力されたデータのパターンを確認すれば良い。

【0004】

対して、受信部 RX のテストは、受信部 RX に、高速にデータを入力する必要がある。しかし、高速にデータを出力するテスト装置、例えば、ビット転送レートが “Gbit/s” 級、あるいはそれを超えるようなデータを出力するテスト装置、所謂 “高速テスター” は、非常に高価である。高価な “高速テスター” の導入に要したコストは、そのまま、半導体集積回路装置の製造コストに反映される。半導体集積回路装置を、ユーザーに対して安価に提供するためには、テストを、より安価な方法で行い、製造コストを下げることも考慮されなければならない。

【0005】

安価に行えるテスト方法の一つとして、送信部 TX から出力されたデータを、受信部 RX にループバックするループバックテスト法 (loop-back testing) が知られている。そのようなループバックパステスト法を行い得る半導体集積回路装置は、例えば、非特許文献 1 に記載されている (Figure 1、及び第 13 頁の loop-back testing の欄を参照)。

【0006】

知られているループバックテスト法では、図 15 に示すように、送信部 TX から出力されたデータを、受信部 RX にループバックする。これにより、高価な “高速テスター” を用いることなく、受信部 RX のテストを行うことが可能である。

【非特許文献 1】Texas Instruments, “TLK2501 1.5 TO 2.5 GBPS TRANSCEIVER”, [ONLINE] August 2000., [2003 年 8 月 25 日検索]、インターネット<<http://focus.ti.com/lit/ds/symlink/tlk2501.pdf>>

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかしながら、知られているループバックテスト法では、特にクロック・データ再生回路 (Clock Data Recovery: CDR) の故障検出率を上げることができない、という事情がある。

【0008】

これは、以下の理由による。

【0009】

CDR 回路には、位相誤差補償回路 (Phase Interpolator: PI) が備えられている。PI 回路は、送信クロックの周波数と受信クロックの周波数との間に、オフセット (以下周波数オフセットという) が存在した場合に、この周波数オフセットのために生じた位相誤差を補償する回路である。PI 回路は、周波数オフセットが僅かでも存在すると活性化し、生成するクロックの位相を遷移させる。図 16 に、16 相クロック切り換え型の PI 回路の位相空間を示す (クロック 0 → クロック 1 → クロック 2 → クロック 3 → クロック 4 → …… → クロック 15)。例えば、位相をクロック 6 に遷移させた場合には、位相は、例えば、 $3\pi/4$ (135°) シフトされる。図 17 に、送信クロックと受信クロックと

の間に位相誤差があり、この位相誤差を、位相をクロック 1 にシフトして補償した例を示しておく。

【0010】

しかし、知られているループバックテスト法では、送信部 TX のクロック源と受信部 RX のクロック源とは同じになってしまう。クロック源が同じであるために、クロックに周波数オフセットが存在しない。周波数オフセットが存在しなければ、PI 回路は十分に活性化できない。例えば、PI 回路は、その位相空間のうちの、ある一点でロックしたままとなる。従って、PI 回路に関するテストは不十分なままとなり、結果として CDR 回路の故障検出率が上がらない。

【0011】

この発明は上記事情に鑑み為されたもので、その目的は、高価な高速テスターを用いることなく受信部をテストでき、しかも故障検出率を向上させることも可能な構成を持つ半導体集積回路装置及びそのテスト方法を提供することにある。

【課題を解決するための手段】

【0012】

上記目的を達成するために、この発明の第 1 態様に係る半導体集積回路装置は、シリアルデータを受信し、受信したシリアルデータからクロックを再生するとともに、生成するクロックの位相を変化させることが可能な第 1 クロック・データ再生回路を含む第 1 受信部と、パラレルデータを、送信クロック、及び前記第 1 クロック・データ再生回路が生成したクロックのいずれかに同期したシリアルデータに変換する第 1 シリアライザーを含む第 1 送信部と、シリアルデータを受信し、受信したシリアルデータからクロックを再生するとともに、生成するクロックの位相を変化させることが可能な第 2 クロック・データ再生回路を含む第 2 受信部と、パラレルデータを、送信クロック、及び前記第 2 クロック・データ再生回路が生成したクロックのいずれかに同期したシリアルデータに変換する第 2 シリアライザーを含む第 2 送信部とを具備することを特徴としている。

【0013】

また、この発明の第 2 態様に係る半導体集積回路装置は、シリアルデータを受信し、受信したシリアルデータからクロックを再生するとともに、受信したシリアルデータと基準クロックとの間の周波数オフセット、あるいはクロックの位相を制御する第 1 位相制御情報のいずれかに基いて、生成するクロックの位相を変化させることが可能な第 1 クロック・データ再生回路、及び生成したクロックに同期したシリアルデータをパラレルデータに変換する第 1 デシリアライザーとを含む第 1 受信部と、パラレルデータを、送信クロック、及び前記第 1 クロック・データ再生回路が生成したクロックのいずれかに同期したシリアルデータに変換する第 1 シリアライザーを含む第 1 送信部と、

シリアルデータを受信し、受信したシリアルデータからクロックを再生するとともに、受信したシリアルデータと基準クロックとの間の周波数オフセット、あるいはクロックの位相を制御する第 2 位相制御情報のいずれかに基いて、生成するクロックの位相を変化させることが可能な第 2 クロック・データ再生回路、及び生成したクロックに同期したシリアルデータをパラレルデータに変換する第 2 デシリアライザーとを含む第 2 受信部と、パラレルデータを、送信クロック、及び前記第 2 クロック・データ再生回路が生成したクロックのいずれかに同期したシリアルデータに変換する第 2 シリアライザーを含む第 2 送信部とを具備することを特徴としている。

【0014】

また、この発明の第 3 態様に係る半導体集積回路装置のテスト方法は、シリアルデータを受信し、受信したシリアルデータからクロックを再生するとともに、生成するクロックの位相を変化させることが可能な第 1 クロック・データ再生回路を含む第 1 受信部と、パラレルデータを、送信クロック、及び前記第 1 クロック・データ再生回路が生成したクロックのいずれかに同期したシリアルデータに変換する第 1 シリアライザーを含む第 1 送信部と、シリアルデータを受信し、受信したシリアルデータからクロックを再生するとともに、生成するクロックの位相を変化させることが可能な第 2 クロック・データ再生回路を

含む第2受信部と、パラレルデータを、送信クロック、及び前記第2クロック・データ再生回路が生成したクロックのいずれかに同期したシリアルデータに変換する第2シリアルライザーを含む第2送信部とを具備する半導体集積回路装置のテスト方法であって、前記第1受信部をテストするとき、前記第2クロック・データ再生回路において、シリアルデータに関わらずに、生成するクロックの位相を変化させ、位相を変化させたクロックを前記第2送信部に出力し、前記位相を変化させたクロックに同期したシリアルデータを、前記第2送信部から前記第1クロック・データ再生回路に送信し、前記第1クロック・データ再生回路において、前記第2送信部から送信されたシリアルデータを受信し、受信したシリアルデータからクロックを再生し、前記第2クロック・データ再生回路が変化させたクロックの位相制御情報と、前記第1クロック・データ再生回路がクロックを再生する際の位相制御情報とに基いて、前記第1クロック・データ再生回路の状態を解析し、前記第2受信部をテストするとき、前記第1クロック・データ再生回路において、シリアルデータに関わらずに、生成するクロックの位相を変化させ、位相を変化させたクロックを前記第1送信部に出力し、前記位相を変化させたクロックに同期したシリアルデータを、前記第1送信部から前記第2クロック・データ再生回路に送信し、前記第2クロック・データ再生回路において、前記第1送信部から送信されたシリアルデータを受信し、受信したシリアルデータからクロックを再生し、前記第1クロック・データ再生回路が変化させたクロックの位相制御情報と、前記第2クロック・データ再生回路がクロックを再生する際の位相制御情報とに基いて、前記第2クロック・データ再生回路の状態を解析することを特徴としている。

【発明の効果】

【0015】

この発明によれば、高価な高速テスターを用いることなく受信部をテストでき、しかも故障検出率を向上させることも可能な構成を持つ半導体集積回路装置及びそのテスト方法を提供できる。

【発明を実施するための最良の形態】

【0016】

CDR回路の故障検出率を上げるための一案としては、図18に示すように、受信部(RX)のPI回路とは、別にテストのためのPI回路を設けることが考えられる。受信部RXには、クロック源、例えば、PLL回路から直接クロックを供給し、送信部TXには、PLL回路からPI回路を介してクロックを供給する。PI回路でクロックの位相をシフトした後、送信部TXに供給する。これにより、送信部TXに供給されるクロックと受信部RXに供給されるクロックとの間に、周波数オフセットを与えることができる。

【0017】

また、他案としては、図19に示すように、PLL回路を複数設け、送信部TXにはPLL1回路からクロックを供給し、受信部RXにはPLL2回路からクロックを供給する。そして、PLL1回路からのクロックと、PLL2回路からのクロックとの間に、周波数オフセットを与える。

【0018】

これらのようにすれば、周波数オフセットを与えることができ、PI回路を十分に活性化できる。PI回路を活性化できる結果、PI回路に関するテストを十分に行うことができる。しかしながら、テストのためだけにPI回路を設けたり、PLL回路を設けたりするのは、チップ面積の無用な増大を招く。

【0019】

以下、この発明の実施形態について、図面を参照しながら説明する。この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0020】

(第1実施形態)

図1はこの発明の第1実施形態に係る半導体集積回路装置の一構成例を示すブロック図、図2は通常動作の状態を示すブロック図である。

【0021】

図1に示すように、半導体集積回路装置は、高速シリアルデータインターフェースを持つ。高速シリアルデータインターフェースを持つ半導体集積回路装置の一例は、データの送信／受信を行う送受信装置 (Transceiver) である。本例に係る送受信装置が持つ高速シリアルデータインターフェースは、マルチチャンネル型である。本例では、第1チャンネルA-chと、第2チャンネルB-chとを持つ例を示している。第1チャンネルA-chは第1送信部TXA、第1受信部RXAを備え、第2チャンネルB-chは第2送信部TXB、第2受信部RXBを備える。

【0022】

第1送信部TXAは第1シリアライザー (Ser) 1Aを含み、第2送信部TXBは第2シリアライザー (Ser) 1Bを含む。第1、第2シリアライザー1A、1Bはそれぞれ、集積回路の内部から出力されたパラレルデータTDA、TDBをシリアルデータDOUTA、DOUTBに変換し、クロック、例えば、送信クロックTXCLKに同期して出力する (図2)。シリアルデータDOUTA、DOUTBの送信クロックTXCLKへの同期は、例えば、シリアライザー1A、1Bで行われる。

【0023】

第1受信部RXAは第1クロック・データ再生回路 (CDR) 3A、及び第1デシリアライザー (Des) 5Aを含み、第2受信部RXBは第2クロック・データ再生回路 (CDR) 3B、及び第2デシリアライザー (Des) 5Bを含む。第1、第2CDR回路3A、3Bは、シリアルデータDINA、DINBを受信し、受信したシリアルデータDINA、DINBの、例えば、エッジから受信クロックRXCLKとの同期情報を抽出してクロックを再生する。受信クロックRXCLKは、送信クロックTXCLKと同期しており、周波数オフセットは無く、位相差は常に安定する。受信クロックRXCLKの周波数と送信クロックTXCLKの周波数とが同じ場合もあるが、異なる場合もある。例えば、送信クロックTXCLKの周波数が1.25GHz、受信クロックRXCLKの周波数が2.5GHzの場合である。この場合、受信クロックRXCLKは、例えば、送信クロックTXCLKを分周することで生成され、周波数オフセットは無く、位相差は常に安定する。即ち、受信クロックRXCLKは、送信クロックTXCLKと同期することで、受信したシリアルデータDINA、DINBに周波数オフセットがあるか否かを判断するための基準クロックとして機能する。このように基準クロックとして機能する受信クロックRXCLKの周波数と、受信したシリアルデータDINA、DINBの周波数との間に、周波数オフセットが存在した場合、位相誤差が補償されないと、位相誤差は累積され、時間とともに拡大してしまう。位相誤差を補償するのが、第1、第2CDR回路3A、3Bである。第1、第2CDR回路3A、3Bは、位相誤差を補償するために、例えば、第1、第2位相誤差補償回路 (PI) 7A、7Bを有している。第1、第2PI回路7A、7Bは、周波数オフセットが存在した場合に、位相をシフトし、位相誤差を補償する。第1、第2CDR回路3A、3Bは、受信したシリアルデータDINA、DINBを、位相誤差があった場合にはそれを補償した再生クロックに同期したシリアルデータDINA、DINBを出力する。第1、第2デシリアライザー5A、5Bは、再生したクロックに同期したシリアルデータDINA、DINBをパラレルデータRDA、RDBに変換し、集積回路内部に対して出力する。

【0024】

第1実施形態に係る半導体集積回路装置は、通常動作の状態においては、上述の通りに動作する。

【0025】

次に、受信部RXA、RXBのテスト動作の状態を説明する。

【0026】

図3はこの発明の第1実施形態に係る半導体集積回路装置のテスト動作の状態を示すブロック図である。

【0027】

テスト動作において、第1チャンネルA-c hの、受信部R X Aをテストする場合、図3中の点線に示すように、第2チャンネルB-c hの送信部T X Bから出力したデータを、受信部R X Aにループバックする。

【0028】

第2シリアルライザー1 Bは、通常動作の状態では、図2に示したように、送信クロックT X C L Kに同期してシリアルデータD O U T Aを出力する。しかし、テスト動作の状態では第2シリアルライザー1 Bは、第2チャンネルB-c hの第2 C D R回路3 Bが生成したクロックT T X C L K Bに同期したシリアルデータを出力する。クロックT T X C L K Bは、第2 P I回路7 Bから出力される。

【0029】

第2 P I回路7 Bは、通常動作の状態では、上述した通り、送信クロックT X C L Kに同期した受信クロックR X C L Kの周波数と、受信したシリアルデータD I N Bの周波数との間に、周波数オフセットが存在した場合にクロックの位相をシフトする。しかし、テスト動作の状態では、第2 P I回路7 Bは、周波数オフセットの存在の有無に関わらず、例えば、クロック制御情報C L K C O N T Bに基いて、クロックT T X C L K Bの位相をシフトする。このシフトを、例えば、第1 P I回路7 Aが切り換え可能な位相数、例えば、16相切り換えの場合には、16回行う。第1 P I回路7 Aは、位相をシフトさせる毎に、その位相をシフトする。従って、第1 P I回路7 Aは、切り換え可能な全ての位相において、正常に動作するか否かをテストすることができる。

【0030】

反対に、第2チャンネルB-c hの、受信部R X Bをテストする場合、図3中の実線に示すように、第1チャンネルA-c hの送信部T X Aから出力されたデータを、受信部R X Bにループバックする。

【0031】

この際、第1 P I回路7 Aを、クロック制御情報C L K C O N T Aにより制御し、クロックT T X C L K Aの位相をシフトする。例えば、16回シフトする。これにより、第2 P I回路7 Bは、切り換え可能な全ての位相において、正常に動作するか否かをテストすることができる。

【0032】

第1実施形態に係る半導体集積回路装置によれば、第1、第2 P I回路7 A、7 Bが、周波数オフセットが存在した場合にクロックの位相をシフトする機能に加え、供給された情報、例えば、クロック制御情報C L K C O N T A、C L K C O N T Bに基いて、クロックの位相を強制的に制御できる機能を有する。

【0033】

さらに、第1、第2シリアルライザー1 A、1 Bは、送信クロックT X C L Kに同期して、シリアルデータを出力する機能に加え、第1、第2 P I回路7 A、又は7 Bが生成したクロックT T X C L K A、T T X C L K Bに同期して、シリアルデータを出力できる機能を有する。

【0034】

上記構成を利用して、テスト動作の際に、送信側のシリアルデータの位相を、テストしない側のC D R回路のP I回路を用いてシフトさせる。そして、受信側にループバックする。受信側には、位相をシフトしたシリアルデータが入力されることになり、テストする側のC D R回路においては、そのP I回路が、位相をシフトする動作を正常に行うか否かを調べることが可能となる。

【0035】

このようなテスト動作においては、送信部T X Aから受信部R X Bへ、また、送信部T X Bから受信部R X Aへシリアルデータをループバックするので、高価な“高速テスター”を用いることなく、受信部R X A、R X Bのテストを行うことが可能である。

【0036】

しかも、受信部R X A、R X Bには、位相をシフトしたシリアルデータを入力できるの

で、CDR回路、特にPI回路を、その位相空間の全てで動作させることができる。従って、CDR回路の故障検出率を向上させることができる。

【0037】

さらに、テスト動作の際に、送信側のシリアルデータの位相を、テストしない側のCDR回路のPI回路を用いてシフトさせるので、テストのためだけに、PI回路や、PLL回路を設ける必要がない。従って、チップ面積の増大を抑制できる、という効果も得ることができる。

【0038】

(第2実施形態)

第2実施形態は、第1実施形態に係る半導体集積回路装置を、より具体化した例である。

【0039】

第2実施形態は具体化に際し、第1実施形態に比較して、テストを行うために新たな機能ブロックが追加されている。追加した機能ブロックの一例と、その構成例は、下記の通りである。

【0040】

(A) テスト制御パターン発生回路 (Test Gen)

Test Gen回路は、PI回路がクロックの位相をシフトさせるのに必要な位相制御情報を発生する。例えば、Test Gen回路は、高速シリアルデータインターフェース部の外部から供給された情報に基づき、クロックの位相をシフトさせるように指示する位相制御情報を、CDR回路に出力する。

【0041】

(B) テスト解析回路 (Test Ana)

Test Ana回路は、送信したシリアルデータの位相のシフト量と受信したシリアルデータの位相のシフト量とを比較し、CDR回路に不具合があるかを否かを調べる。

【0042】

(C) ループバックパス (Loop-back)

ループバックパスは、送信部から出力したシリアルデータを、受信部にループバックする電気的なパスである。本例では、隣接したチャンネルどうしで、シリアルデータを擧がけにループバックする。例えば、第1チャンネルA-chから送信したシリアルデータを、第2チャンネルB-chにループバックする。また、反対に、第2チャンネルB-chから送信したシリアルデータを、第1チャンネルA-chにループバックする。ループバックパスは、半導体集積回路装置チップの外部、及び半導体集積回路装置チップの内部の少なくともいずれかに設けられれば良い。本例では、半導体集積回路装置チップの内部に、ループバックパスを有する例を示す。ループバックパスをチップの内部に設けることの利点は、半導体集積回路装置を、ループバックパスを有する検査用基板に接続しても、しなくても、どちらでもテストできる、ということである。このため、ウェーハ状態でも、受信部のテストを行うことができ、例えば、ウェーハ状態で、多数個同時テストを行うことも可能である。これは、テストに要する時間を短縮でき、例えば、スループットを向上でき、製品のTAT (Turn Around Time) 短縮に効果がある。

【0043】

図4はこの発明の第2実施形態に係る半導体集積回路装置の一構成例を示すブロック図、図5はテスト動作の状態を示すブロック図である。

【0044】

以下、その構成を、その動作とともに説明する。

【0045】

受信部RXAのCDR回路における位相のシフトに対応して、受信部RXBのCDR回路において、再生クロックをシフトさせる。動作のフローは以下の通りである。尚、本例では、受信部RXAが高速クロックのシフトを行い、送信部TXAは、シフトされた高速クロックに同期したデータを出力する。受信部RXBは、送信部TXAから受信部RXB

にループバックされたシリアルデータを受信し、受信したシリアルデータを、自身のテストに使用する。

【0046】

図4、及び図5に示すように、

(1) テスト制御パターン発生回路 (Test Gen) 501Aから、PI回路503Aを制御するPI制御回路 (PI cont) 502Aに対して、クロック制御信号51Aを送る。

【0047】

(2) PI cont回路502Aは、クロック制御信号51Aに基き、PI回路503Aを制御し、高速クロック53Aのシフトを行う。

【0048】

(3) 高速クロック53Aは、送信部TXAに出力される。

【0049】

(4) 送信部TXAでは、組み込み自己テストパターン発生回路 (BIST Gen) 511Aがテスト用データパターン55Aを発生させる。

【0050】

(5) 送信部TXAは、BIST Gen回路511Aが発生したデータ55Aを、高速クロック53Aに同期したシリアルデータ54Aに変換し、出力する。

【0051】

(6) 受信部RXBは、送信部TXAからループバックされたシリアルデータ54Aを受信し、受信したシリアルデータ54Aに基き、クロックを再生する。尚、シリアルデータ54のループバックは、例えば、半導体集積回路装置の内部に設けられたループバックパス512ABか、もしくは回路基板上に設けられたループバックパス513ABかのいずれかを使用して行われる。

【0052】

(7) 受信部RXBは、再生したクロックに同期してデータをサンプリングする。

【0053】

(8) 受信したデータの検証を、組み込み自己テスト解析回路 (BIST Ana) 507Bで行う。BIST Ana回路507Bは、例えば、ビットエラーの有無を示すビットエラー情報57Bを、テスト解析回路 (Test Ana) 508Bに出力する。

【0054】

(9) Test Gen回路501Aから、クロック制御情報58Aを、Test Ana回路508Bに出力する。

【0055】

(10) PI cont回路502Bから、PI制御情報56Bを、Test Ana回路508Bに出力する。

【0056】

(11) Test Ana回路508Bは、ビットエラー情報57B、クロック制御情報58A、PI制御情報56Bに基き、受信部RXBに不具合があるか否かを判断する。

【0057】

例えば、ビットエラー情報57Aを解析した結果、ビットエラーが生じていた場合には、例えば、“CDR回路500B、もしくはデシリアライザー504Bに不具合があったもの”とみなす。また、例えば、クロック制御情報58A、及びPI制御情報56Bを解析した結果、位相のシフト量に大きな差が生じていた場合には、例えば、“CDR回路500Bに不具合があったもの”とみなす。尚、本説明では、その説明を省略したが、略号PDは位相検出回路 (Phase Detector)、略号LFはループフィルタ (Loop Filter)、略号Serはシリアライザー (Serializer) である。

【0058】

次に、テストデータ送信側におけるCDR回路500AのPI回路503Aの位相と、

テストデータ受信側におけるCDR回路500BのPI回路503Bの位相とが変わる様子を説明する。本説明では、PI回路503A、503Bが16相切り換えの場合を想定する。

【0059】

図6は、高速クロックをシフトする前におけるPI回路503A、503Bの位相の状態を示している。紙面左側が送信側PI回路503Aの位相、紙面右側が受信側PI回路503Bの位相を示している。図6に示す状態で、受信側PI回路503Bは、送信側PI回路503Aが出力する高速クロック53Aに同期しているものとする。

【0060】

図7は、送信側PI回路503Aが出力する高速クロック53Aの位相を、図6に示す状態からシフト、例えば、 $3\pi/8$ (67.5°) 遅らせた例を示す。高速クロック53Aの位相が遅れると、受信側PI回路503Bは、高速クロック53Aに同期しようとする。この結果、受信側PI回路503Bは、高速クロック53Aに追従して、位相を遅らせる。受信側PI回路503Bが正常に動作している場合には、図7に示すように、受信側PI回路503Bは、高速クロック53Aに追従して、位相を $3\pi/8$ (67.5°) 遅らせる。

【0061】

図8は、高速クロック53Aの位相を、図7に示す状態からさらにシフト、例えば、さらに $1\pi/2$ (90°) 遅らせた例を示す。受信側PI回路503Bが正常に動作している場合には、受信側PI回路503Bは、高速クロック53Aに追従して、位相を $1\pi/2$ (90°) 遅らせる。

【0062】

本実施形態では、上記性質を利用して、CDR回路500A、500Bのテストを行う。即ち、送信したシリアルデータの位相のシフト量と、受信したシリアルデータの位相のシフト量とを比較する。例えば、TestAna回路508Bは、送信側PI回路503Aの位相シフト量を、クロック制御情報58Aから知ることができ、受信側PI回路503Bの位相シフト量を、PI制御情報56Bから知ることができる。TestAna回路508Bは、情報56B、58Aを比較解析、例えば、情報56Bの値と情報58Aの値とを比較解析することで、受信側PI回路503Bの位相が、送信側PI回路503Aの位相に追従しているか否かを判断できる。簡単には、追従していれば、“不具合無し”、追従していなければ、“不具合有り”である。もちろん、TestAna回路508Aも、上述した通りの動作、及び判断を行う。

【0063】

テスト時には、実際のデータが正しく受信されているか否かも確認する必要がある。この確認方法の一例は、擬似乱数(Pseudo Random Bit Stream: PRBS)を使う方法である。この方法を使う場合には、送信部TXAにあるBistGen回路511Aに、PRBSデータを発生するPRBSデータ発生回路を持たせ、受信側RXBにあるBistAna回路507Bに、上記PRBSデータに対応した生成多項式を持つPRBSデータ解析回路を持たせる。このようにすることで、データが正しく受信されているか否かのテストを行うことができる。このテストを、上述したCDR回路のテストと、例えば、同時に行うことが可能となる。データが正しく受信されているか否かを、より慎重にテストしたい場合には、半導体集積回路装置の中、あるいは外に、BERT(Bit Error Rate Testing)を持たせれば良い。図9に示すように、BERTでは、送信データと受信データとが一致しているかを判断し、そのエラー発生頻度を計算する。

【0064】

また、第2実施形態では、さらに、下記の工夫がある。

【0065】

第2実施形態では、異なるチャンネルどうしで、データをループバックするループバックパス512AB、512BAを備えている。これとは別に、同じチャンネルどうしで、データをループバックするループバックパス514A、514Bを備えている。ループバ

ックパス 514A、514B は、上述した CDR 回路 500A、500B のテストには使用されないが、例えば、上述した実際のデータが正しく受信されているか否かのテストに使用することができる。例えば、テストデータパターンを Bist Gen 回路 511A で発生させ、発生させたテストデータパターンを、ループバックパス 514A を介して、受信部 RXA に送信し、Bist Ana 回路 507A において、受信したデータを検証する。

【0066】

このように、異なるチャンネルどうしでデータをループバックするループバックパス 512AB、512BA に加え、同じチャンネルどうしで、データをループバックするループバックパス 514A、514B を、さらに備えるようにしても良い。

【0067】

このようにループバックパス 514A、514B を備えておくことで、半導体集積回路装置のテストに際し、様々なテストに対応させることが可能になり、例えば、テストに関する自由度 (flexibility) が向上する、という利点を得ることができる。

【0068】

以上、第 2 実施形態においても、第 1 実施形態と同様の効果を得ることができる。

【0069】

(第 3 実施形態)

図 10 はこの発明の第 3 実施形態に係る半導体集積回路装置の一構成例を示すブロック図である。

【0070】

図 10 に示すように、第 3 実施形態が第 1、第 2 実施形態と異なるところは、受信部 RX、送信部 TX を、第 1 受信部 RXA、第 1 送信部 TXA、第 2 受信部 RXB、第 2 送信部 TXB のように交互に配置したことである。

【0071】

受信部 RX、送信部 TX は、第 1、第 2 実施形態のように、第 1 受信部 RXA、第 1 送信部 TXA (以上、第 1 チャンネル A-ch) の回路パターンと、第 2 送信部 TXB、第 2 受信部 RXB (以上、第 2 チャンネル B-ch) の回路パターンとを、例えば、互いに鏡像パターンとして配置しなくても、高価な高速テスターを用いることなく受信部をテストでき、しかも故障検出率を向上できる、という効果を得ることができる。

【0072】

ただし、第 3 実施形態では、第 1、第 2 実施形態に比べて、第 1 チャンネル A-ch から第 2 チャンネル B-ch へのループバックパスの長さ、と第 2 チャンネル B-ch から第 1 チャンネル A-ch へのループバックパスの長さが、異なってしまう、という事情がある。ループバックパスの長さの相違が、テストに何等かの影響を与える可能性がある場合には、第 1、第 2 実施形態の配置パターンを採用されると良い。テストに影響が無ければ、第 3 実施形態の配置パターンを採用することが可能である。

【0073】

(第 4 実施形態)

図 11 はこの発明の第 4 実施形態に係る半導体集積回路装置の一構成例を示すブロック図である。

【0074】

図 11 に示すように、第 4 実施形態が第 1、第 2 実施形態と異なるところは、第 1 受信部 RXA、及び第 2 受信部 RXB を、第 1 送信部 TXA と、第 2 送信部 TXB との間に配置し、第 1 受信部 RXA を第 1 送信部 TXA に隣接させ、第 2 受信部 RXB を第 2 送信部 TXB に隣接させたことである。

【0075】

第 1、第 2 実施形態のように、第 1 送信部 TXA、及び第 2 送信部 TXB を、第 1 受信部 RXA と、第 2 受信部 RXB との間に配置しなくても、第 1、第 2 実施形態と同様の効果を得ることができる。

【0076】

また、第4実施形態では、第1、第2実施形態と同様に、第1チャンネルA-c hから第2チャンネルB-c hへのループバックパスの長さ、と第2チャンネルB-c hから第1チャンネルA-c hへのループバックパスの長さが変わらない、あるいはほとんど変わらない、という利点がある。このため、第1、第2実施形態と同様に、ループバックパスの長さの相違が、テストに何等かの影響を与える可能性が小さくなる、という効果を期待できる。

【0077】

(第5実施形態)

第1～第4実施形態では、データをループバックするループバックパスが異なるチャンネルどうしを接続し、ループバックパスが異なるチャンネルどうしで、いわゆる“襷掛け接続(Cross Couple Connection)”になる例を示した。

【0078】

本第5実施形態は、受信部RXから送信部TXへクロックを出力するクロック配線が異なるチャンネルどうしで、“襷掛け接続”とした例である。

【0079】

図12はこの発明の第5実施形態に係る半導体集積回路装置の一構成例を示すブロック図である。

【0080】

図12に示すように、第5実施形態が、例えば、第1、第2実施形態と異なるところは、データをループバックするループバックパスを同一チャンネル内に設け、その代わりに、クロックTTXCLKA、TTXCLKBが出力されるクロック配線を、異なるチャンネルどうしで“襷掛け接続”としたことにある。

【0081】

このように、クロックTTXCLKA、TTXCLKBが出力される配線を、異なるチャンネルどうしで“襷掛け接続”にしても、高価な高速テスターを用いることなく受信部をテストでき、しかも故障検出率を向上できる、という効果を得ることができる。

【0082】

ただし、第5実施形態では、第1～第4実施形態に比べて、クロックTTXCLKA、TTXCLKBが出力されるクロック配線が、例えば、送信部TXA、または送信部TXBを超える必要があるので、クロック配線の長さが長くなる、という事情がある。しかしながら、データをループバックするループバックパスについては、第1～第4実施形態に比べて短くなる、という利点がある。また、異なるチャンネルどうしを接続するループバックパスが必要なく、集積回路中の配線数を減らせる、という利点もある。

【0083】

ループバックパスを“襷掛け接続”にするか、クロック配線を“襷掛け接続”にするかは、例えば、テストに与える影響が、ループバックパスの長さが長い方が大きいのか、クロック配線の長さが長い方が大きいかで決定されれば良い。もしくは、回路パターン上のスペースメリットが、ループバックパスを“襷掛け接続”にしたほうが大きいのか、クロック配線を“襷掛け接続”にしたほうが大きいかで決定されれば良い。

【0084】

(第6実施形態)

図13はこの発明の第6実施形態に係る半導体集積回路装置の一構成例を示すブロック図である。

【0085】

図13に示すように、第6実施形態が第5実施形態と異なるところは、受信部及び送信部の配置を図10に示した第3実施形態と同じにしたことである。

【0086】

このようにしても、上記同様の効果を得ることができる。

【0087】

(第 7 実施形態)

図 1 4 はこの発明の第 7 実施形態に係る半導体集積回路装置の一構成例を示すブロック図である。

【0088】

図 1 4 に示すように、第 7 実施形態が第 5 実施形態と異なるところは、受信部及び送信部の配置を図 1 1 に示した第 4 実施形態と同じにしたことである。

【0089】

このようにしても、上記同様の効果を得ることができる。

【0090】

以上説明したように、この発明の実施形態に係る半導体集積回路装置によれば、高価な高速テスターを用いることなく受信部をテストでき、しかも故障検出率を向上させることが可能となる。しかも、それを、半導体集積回路装置チップ面積の増大を抑制しつつ、達成することができる。

【0091】

以上、この発明を、第 1 ～第 7 実施形態により説明したが、この発明は、これら実施形態それぞれに限定されるものではなく、その実施にあたっては、発明の要旨を逸脱しない範囲で種々に変形することが可能である。

【0092】

例えば、P I 回路は、1 6 相のクロックを切り換えるようにしたが、1 6 相に限られるものではない。例えば、3 2 相切り換え、6 4 相切り換えのように、切り換え数を上げた場合には、位相誤差の補償精度はより高まる。

【0093】

また、例えば、第 2 実施形態では、T e s t G e n 回路、T e s t A n a 回路を、チャンネル毎に設けたが、チャンネル毎に共有することも可能である。

【0094】

また、上記実施形態はそれぞれ、単独で実施することが可能であるが、適宜組み合わせで実施することも、もちろん可能である。

【0095】

また、上記各実施形態には、種々の段階の発明が含まれており、各実施形態において開示した複数の構成要件の適宜な組み合わせにより、種々の段階の発明を抽出することも可能である。

【0096】

また、上記各実施形態では、この発明を、送受信装置に適用した例に基づき説明したが、上述したような送受信装置を内蔵した半導体集積回路装置、例えばプロセッサ、システム L S I 等もまた、この発明の範疇である。

【図面の簡単な説明】

【0097】

【図 1】 図 1 はこの発明の第 1 実施形態に係る半導体集積回路装置の一構成例を示すブロック図

【図 2】 図 2 はこの発明の第 1 実施形態に係る半導体集積回路装置の通常動作の状態を示すブロック図

【図 3】 図 3 はこの発明の第 1 実施形態に係る半導体集積回路装置のテスト動作の状態を示すブロック図

【図 4】 図 4 はこの発明の第 2 実施形態に係る半導体集積回路装置の一構成例を示すブロック図

【図 5】 図 5 はこの発明の第 2 実施形態に係る半導体集積回路装置のテスト動作の状態を示すブロック図

【図 6】 図 6 は P I 回路の位相の状態を示す図

【図 7】 図 7 は P I 回路の位相の状態を示す図

【図 8】 図 8 は P I 回路の位相の状態を示す図

【図 9】図 9 は B E R T (Bit Error Rate Testing) を示す図

【図 10】図 10 はこの発明の第 3 実施形態に係る半導体集積回路装置の一構成例を示すブロック図

【図 11】図 11 はこの発明の第 4 実施形態に係る半導体集積回路装置の一構成例を示すブロック図

【図 12】図 12 はこの発明の第 5 実施形態に係る半導体集積回路装置の一構成例を示すブロック図

【図 13】図 13 はこの発明の第 6 実施形態に係る半導体集積回路装置の一構成例を示すブロック図

【図 14】図 14 はこの発明の第 7 実施形態に係る半導体集積回路装置の一構成例を示すブロック図

【図 15】図 15 は従来の半導体集積回路装置を示すブロック図

【図 16】図 16 は P I 回路の位相空間を示す図

【図 17】図 17 は位相誤差を補償した例を示す図

【図 18】図 18 はこの発明の参考例に係る半導体集積回路装置を示すブロック図

【図 19】図 19 はこの発明の参考例に係る半導体集積回路装置を示すブロック図

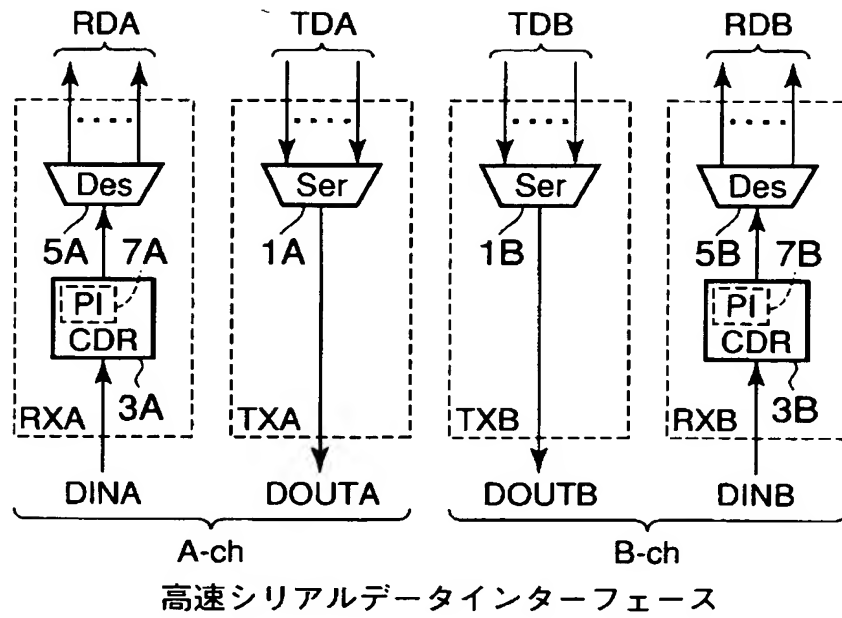
【符号の説明】

【0098】

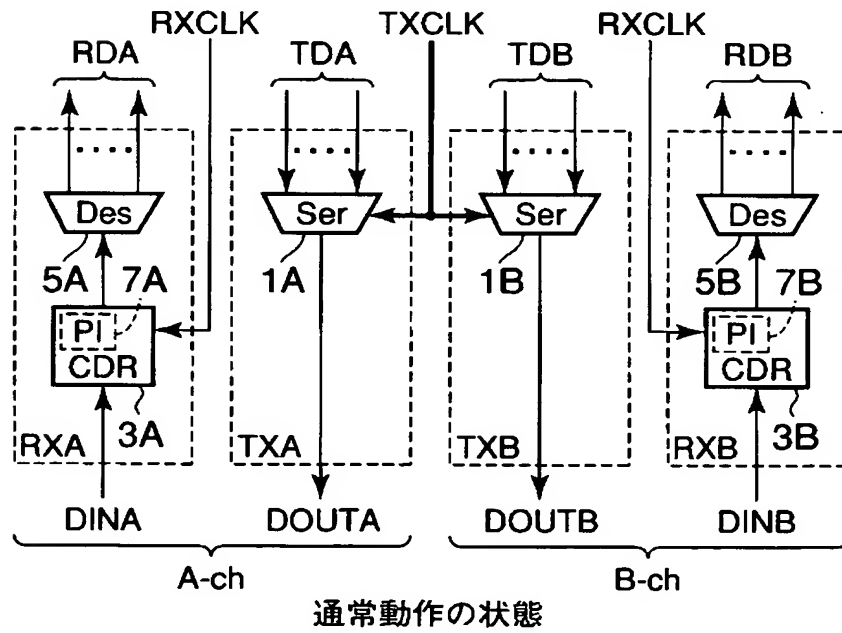
1 A、1 B…シリアライザー、3 A、3 B…クロック・データ再生回路、5 A、5 B…デシリアライザー、7 A、7 B…位相誤差補償回路、51 A、51 B…クロック制御信号、53 A、53 B…高速クロック、54 A、54 B…シリアルデータ、55 A、55 B…テスト用データパターン、56 A、56 B…P I 制御情報、57 A、57 B…ビットエラー情報、58 A、58 B…クロック制御情報、500 A、500 B…クロック・データ再生回路、501 A、501 B…テスト制御パターン発生回路、502 A、502 B…P I 制御回路、503 A、503 B…位相誤差補償回路、504 A、504 B…デシリアライザー、507 A、507 B…組み込み自己テスト解析回路、511 A、511 B…組み込み自己テストパターン発生回路、512 A B、512 B A、513 A B、513 B A、514 A、514 B…ループバックパス、A-c h、B-c h…チャンネル、R X A、R X B…受信部、T X A、T X B…送信部。

【書類名】 図面

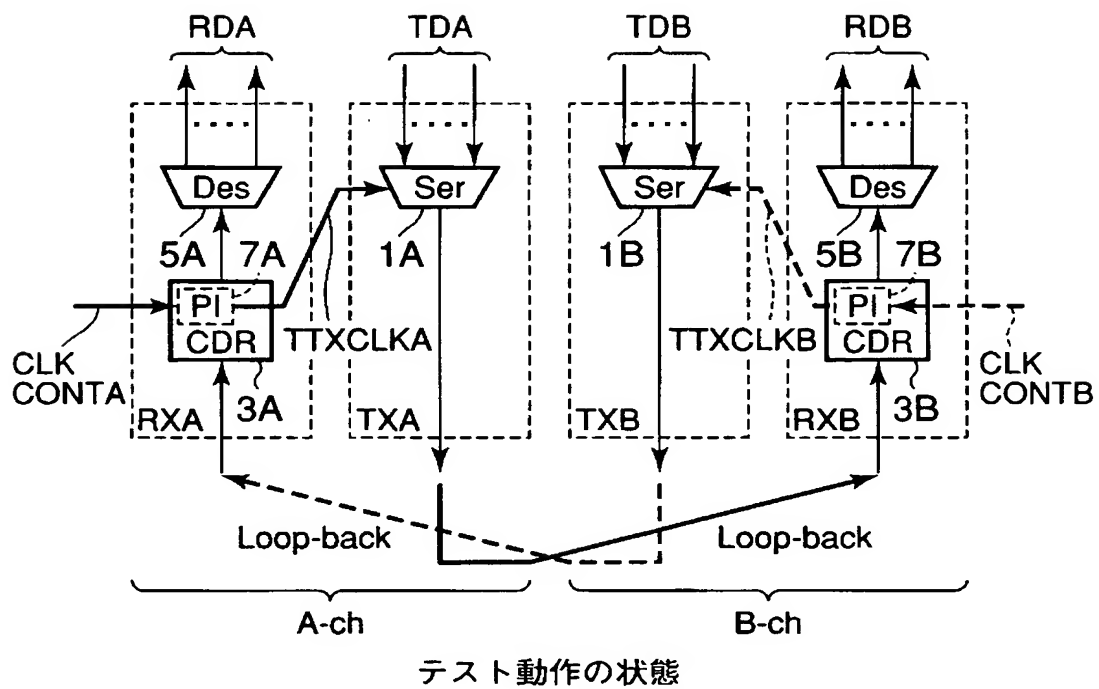
【図 1】



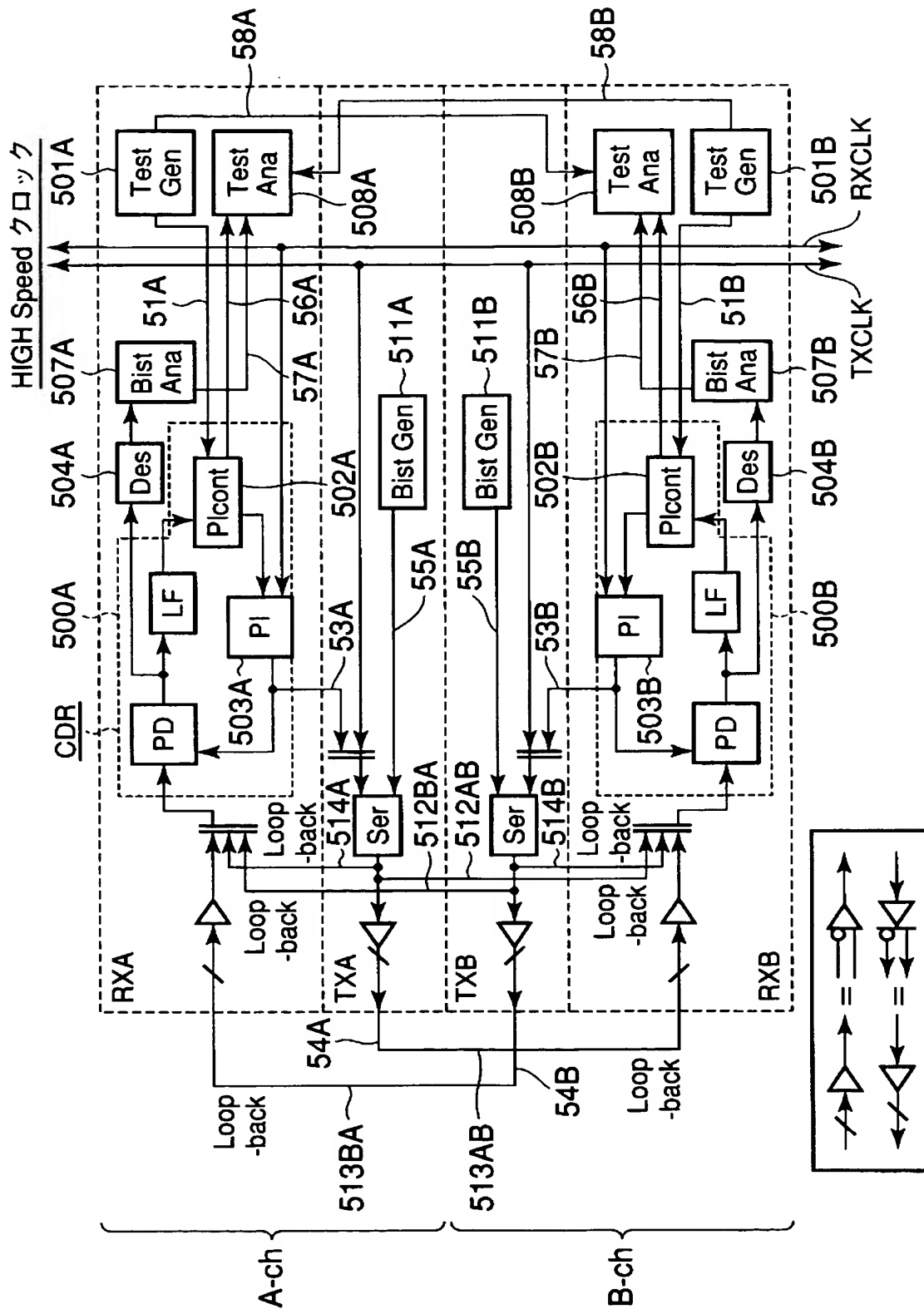
【図 2】



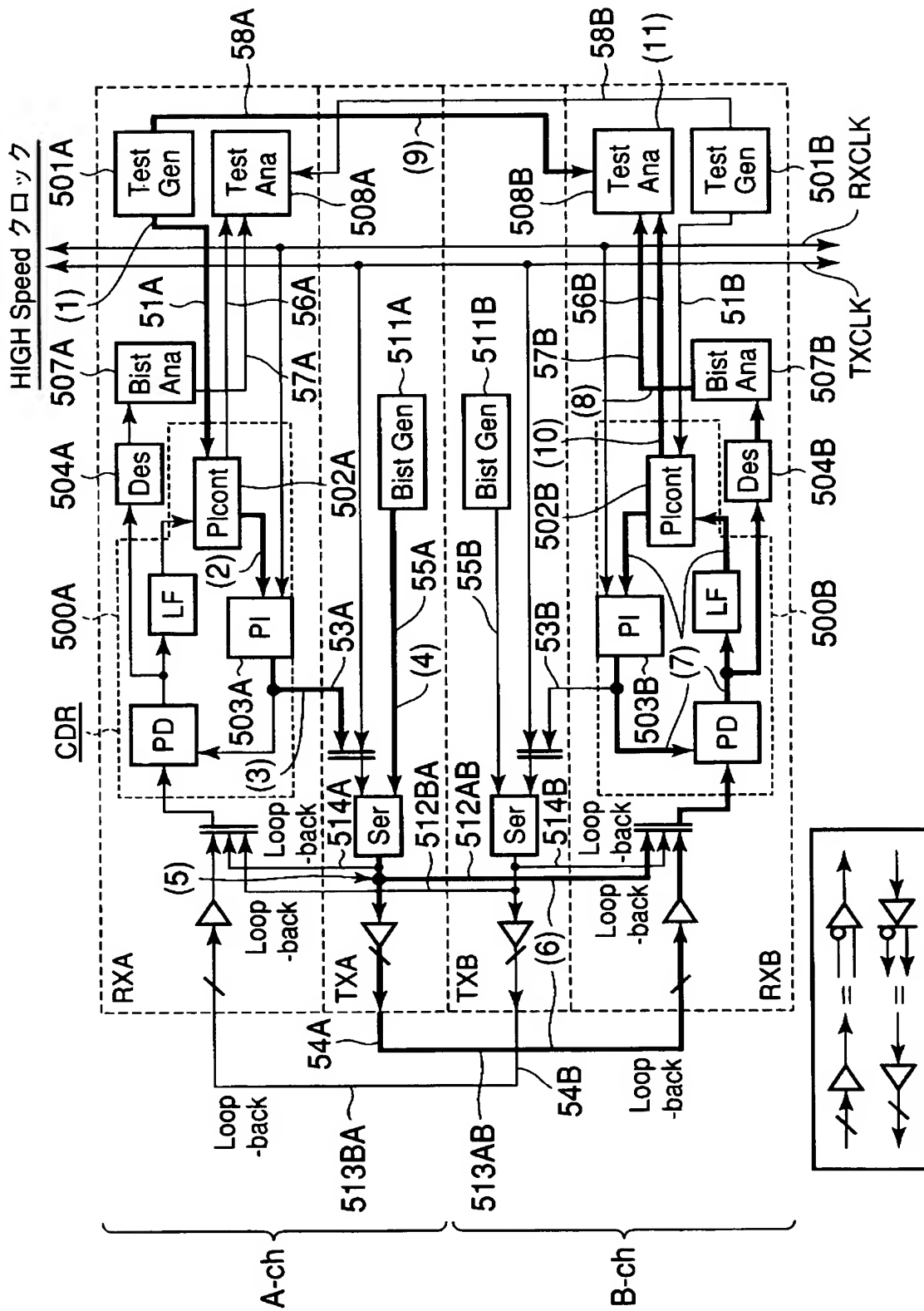
【図 3】



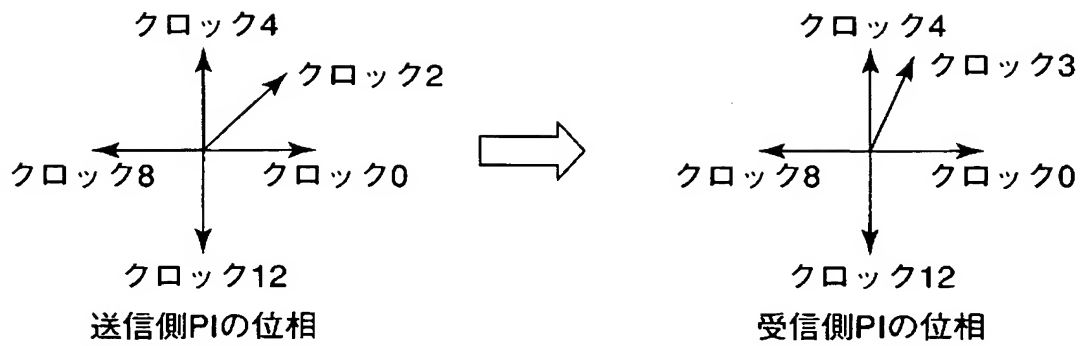
【図 4】



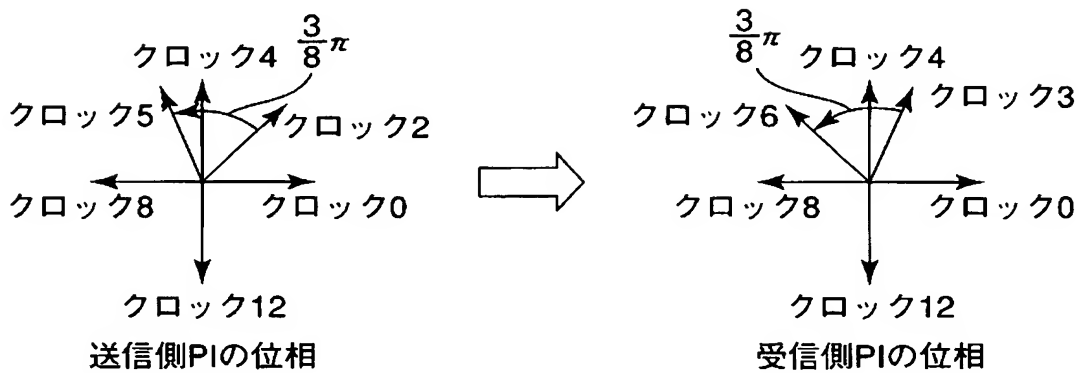
【図 5】



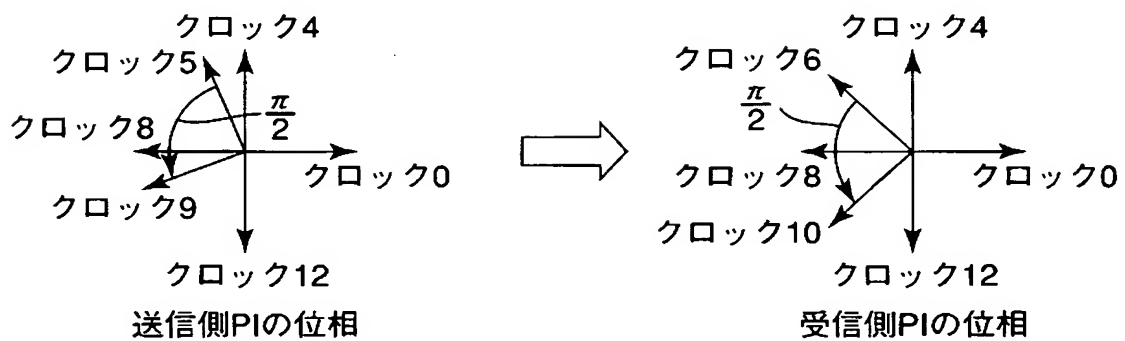
【図 6】



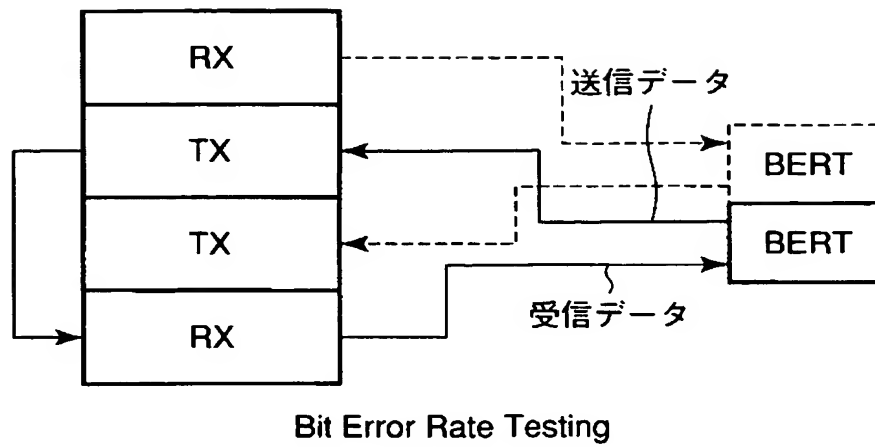
【図 7】



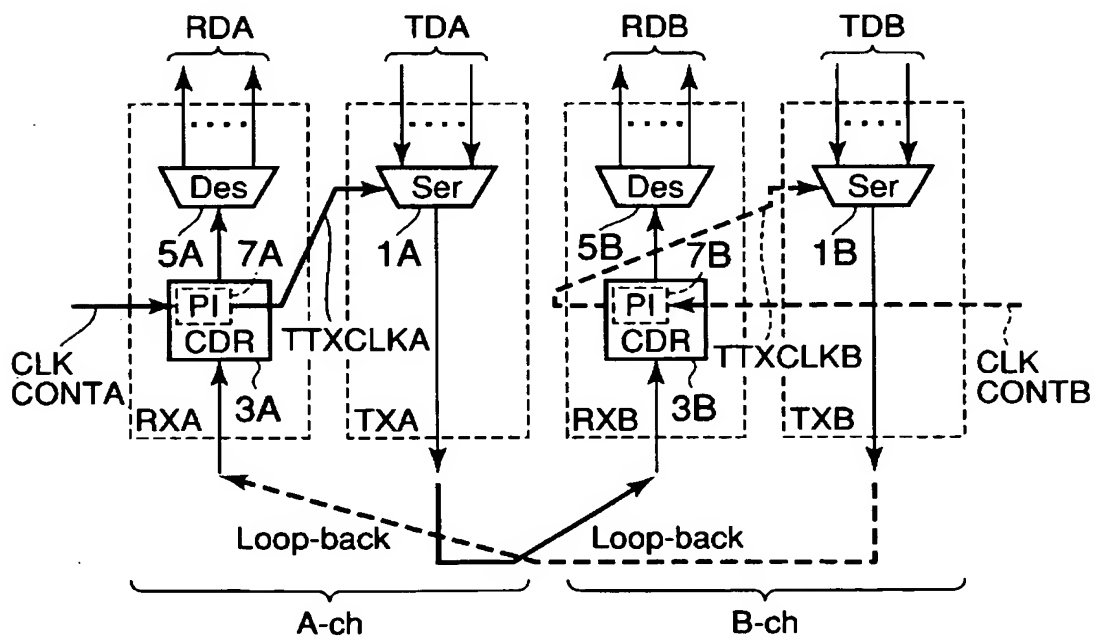
【図 8】



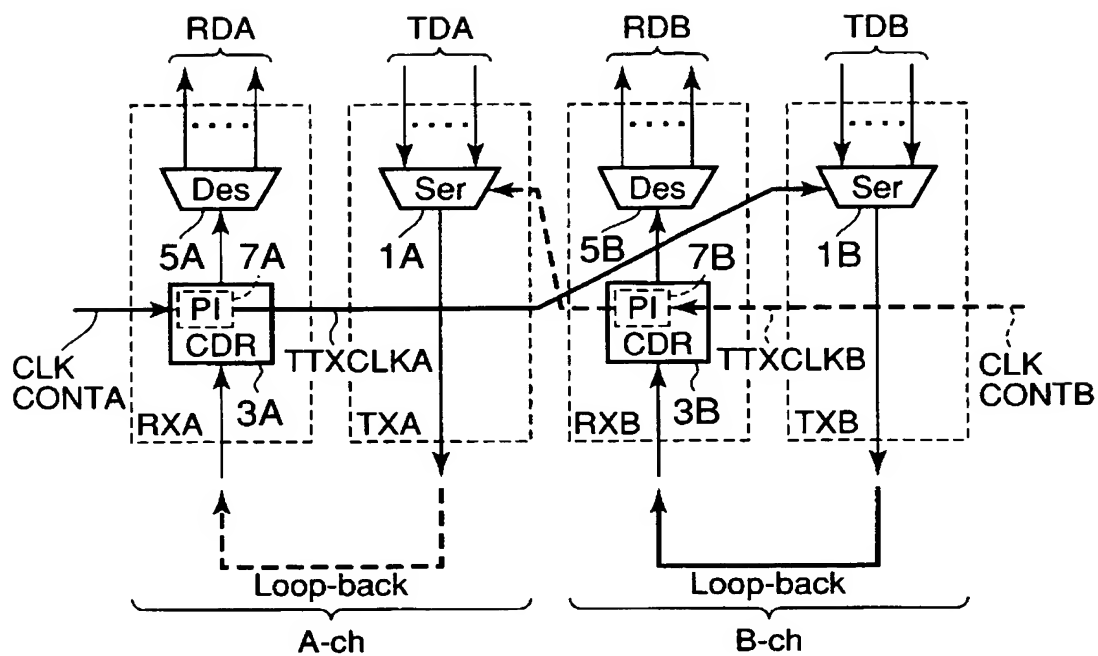
【図 9】



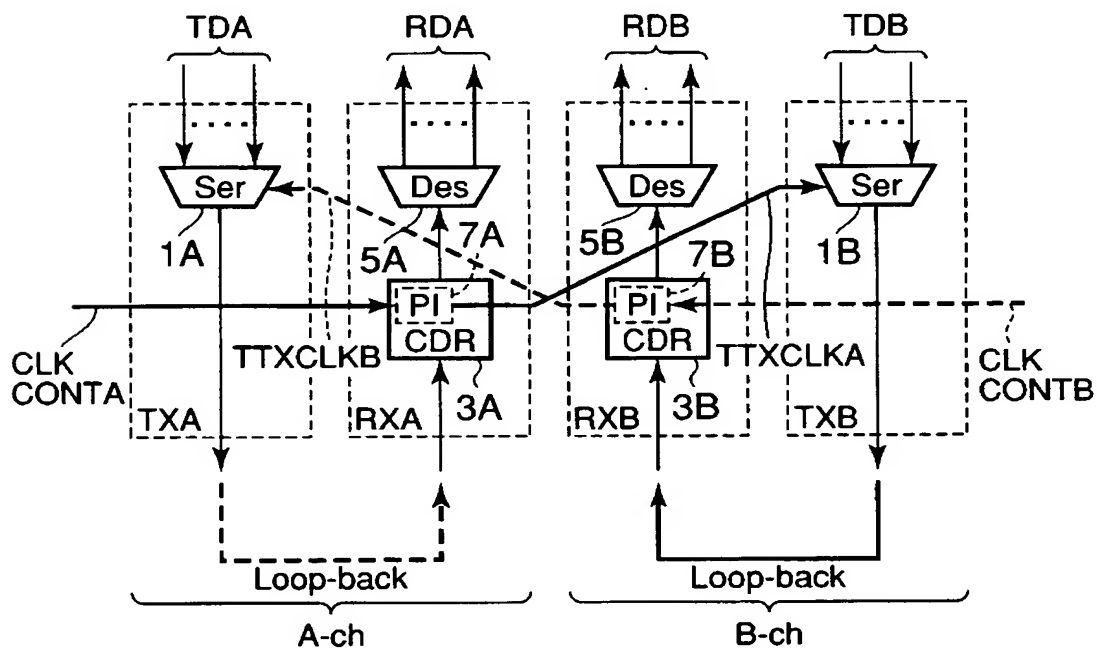
【図 10】



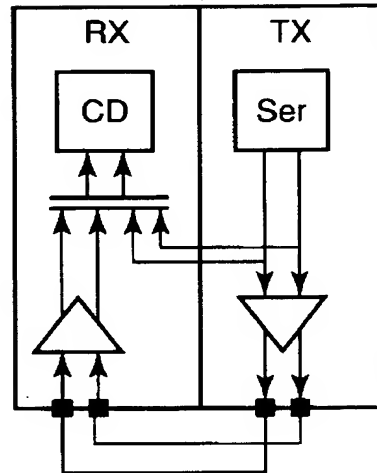
【図 13】



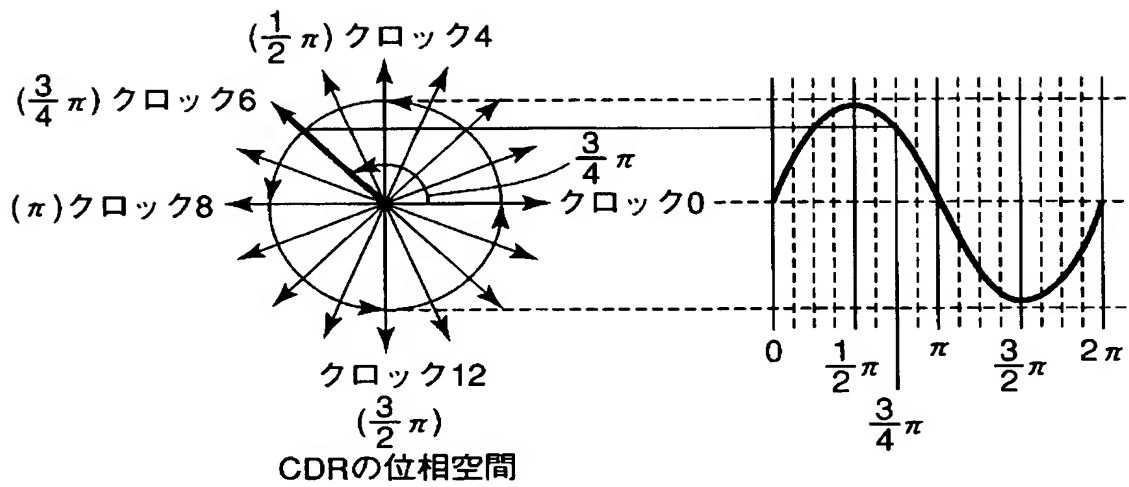
【図 14】



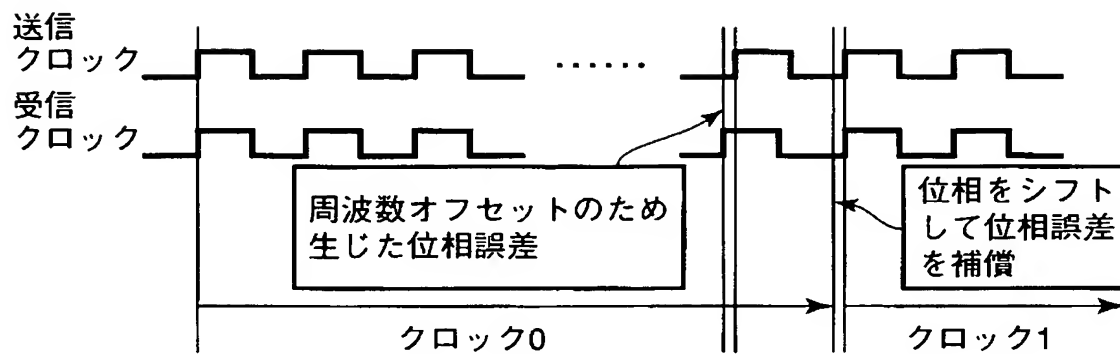
【図 15】



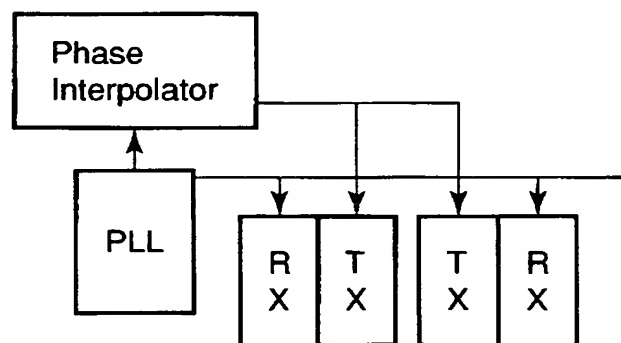
【図 16】



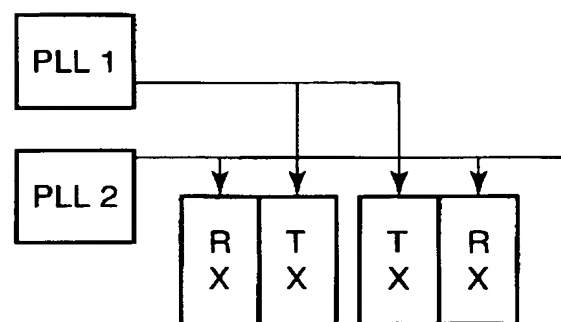
【図 17】



【図 18】



【図 19】



【書類名】 要約書**【要約】**

【課題】 高価な高速テスターを用いることなく受信部をテストでき、しかも故障検出率を向上させることも可能な構成を持つ半導体集積回路装置を提供すること。

【解決手段】 受信したシリアルデータからクロックを再生するとともに、生成するクロックの位相を変化させることが可能な第 1 CDR回路3Aを含む第 1 受信部RXAと、パラレルデータを、送信クロック、及び第 1 CDR回路3Aが生成したクロックTTXCLKAのいずれかに同期したシリアルデータに変換する第 1 Ser1Aを含む第 1 送信部TXAと、シリアルデータを受信し、受信したシリアルデータからクロックを再生するとともに、生成するクロックの位相を変化させることが可能な第 2 CDR回路3Bを含む第 2 受信部RXBと、パラレルデータを、送信クロック、及び第 2 CDR回路3Bが生成したクロックTTXCLKBのいずれかに同期したシリアルデータに変換する第 2 Ser1Bを含む第 2 送信部TXBとを具備する。

【選択図】 図 1

特願 2 0 0 3 - 3 0 8 9 4 7

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 3 0 7 8]

1. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝